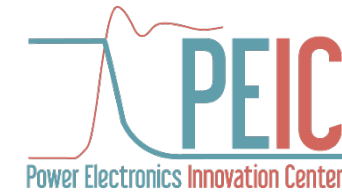




Politecnico
di Torino



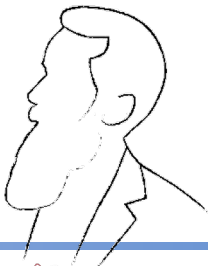
Multilevel PFC Control Unit

Relatore:

Prof. Fabio Mandrile
Prof. Fausto Stella

Candidato:

Alessio Sabetta



Dipartimento Energia "Galileo Ferraris"

Politecnico di Torino, Italy



Indice

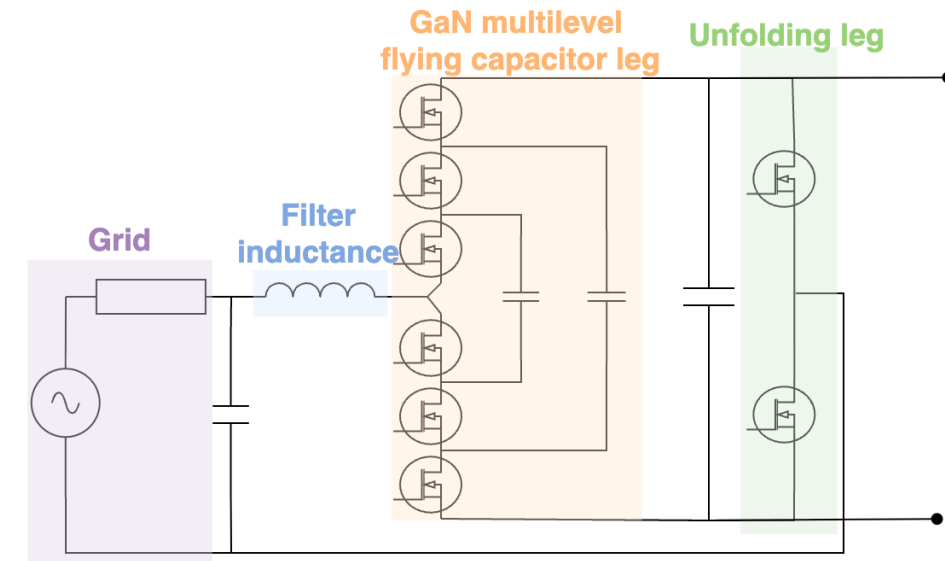
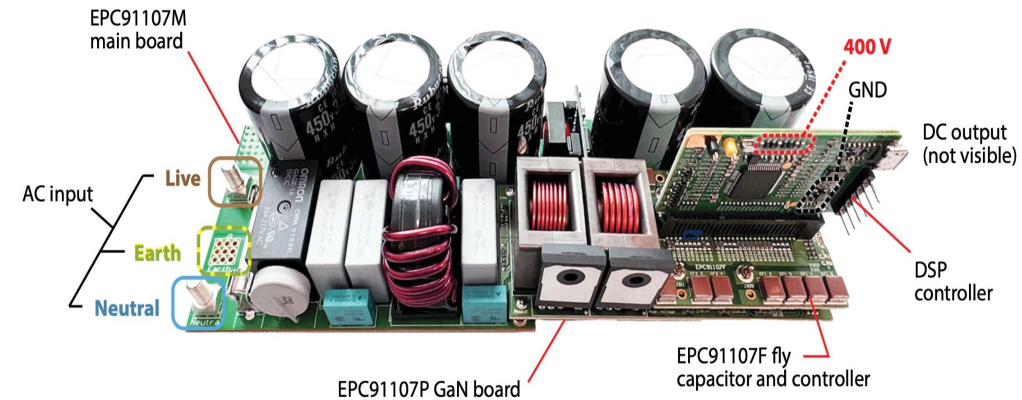
- ▶ **Contesto e obiettivi della tesi**
- ▶ **Riprogettazione hardware**
- ▶ **Sviluppo del controllo**
- ▶ **Risultati**

Contesto e Obiettivi

- Nell'ambito dei **convertitori AC/DC da rete**, il **PFC** ha il ruolo di **assorbire una corrente sinusoidale in fase con la tensione**.
- **Obiettivo** della tesi:
 1. **riprogettazione hardware** dell'unità di controllo,
 2. **sviluppo algoritmo di controllo**.
- Hardware invariato: topologia **multilivello GaN flying capacitor con unfolding**.

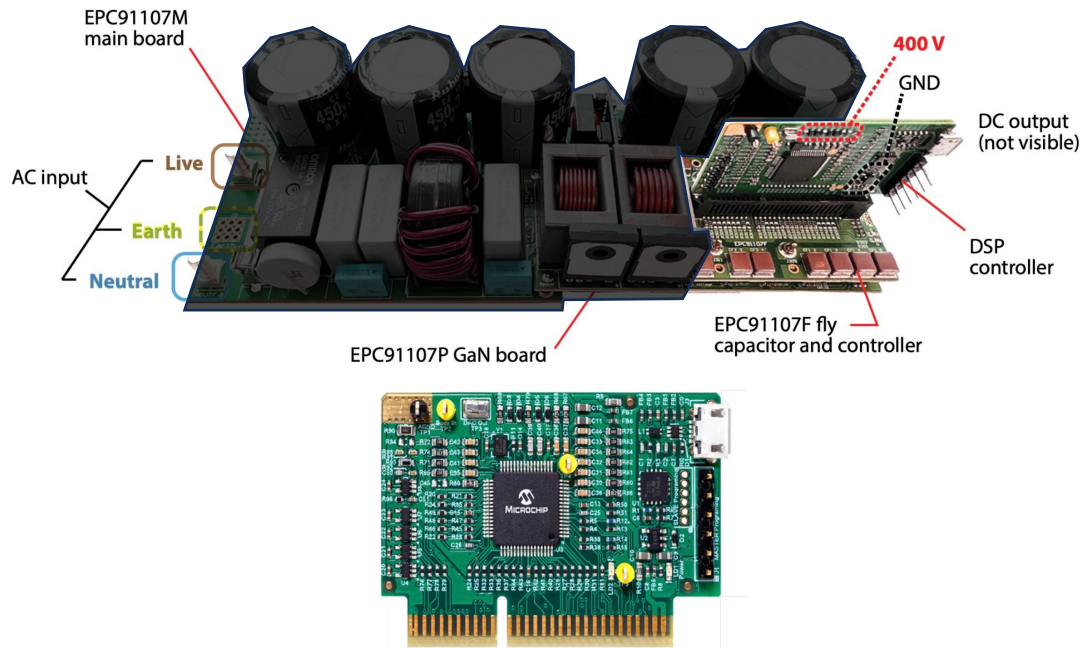
- **Specifiche:**

Tensione di ingresso	230 V _{AC,RMS}
Tensione di uscita	400 V _{DC}
Potenza nominale	5 kW
Frequenza di switching	140 kHz
Induttanza di filtro	13.7 μH



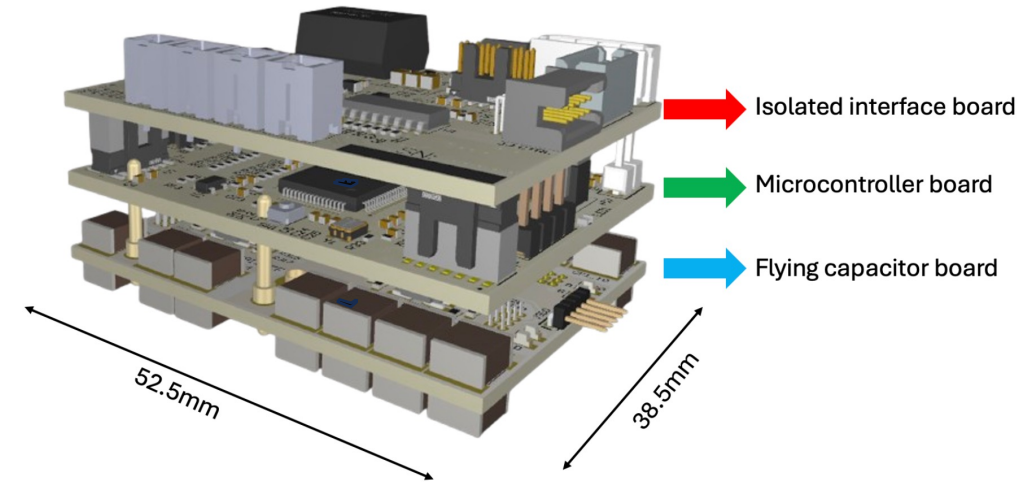
Fonte: EPC91107 Quick Start Guide, Efficient Power Conversion.

Obiettivi per Riprogettazione Unità di Controllo



Attualmente: scheda con microcontrollore
Microchip, no isolamento

- Ottimizzazione del **volume**
- **Divisione delle funzioni** (funzionamento **base** + isolamento **opzionale**)

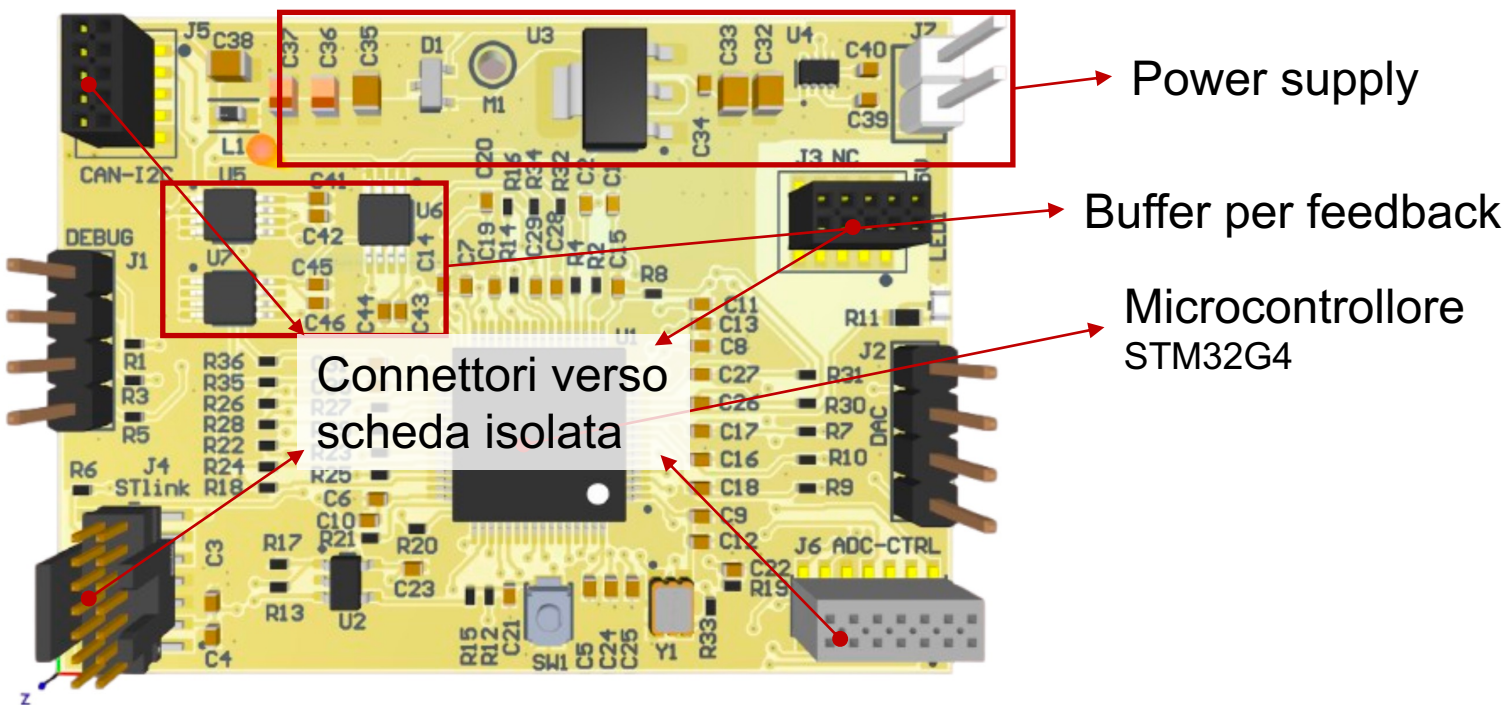
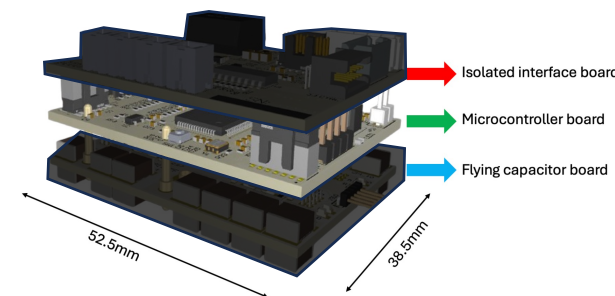


Riprogettazione: separazione funzionalità
attraverso **doppia scheda**
(**microcontrollore STM** + interfaccia **isolata**)

Fonte: EPC91107 Quick Start Guide, Efficient Power Conversion.

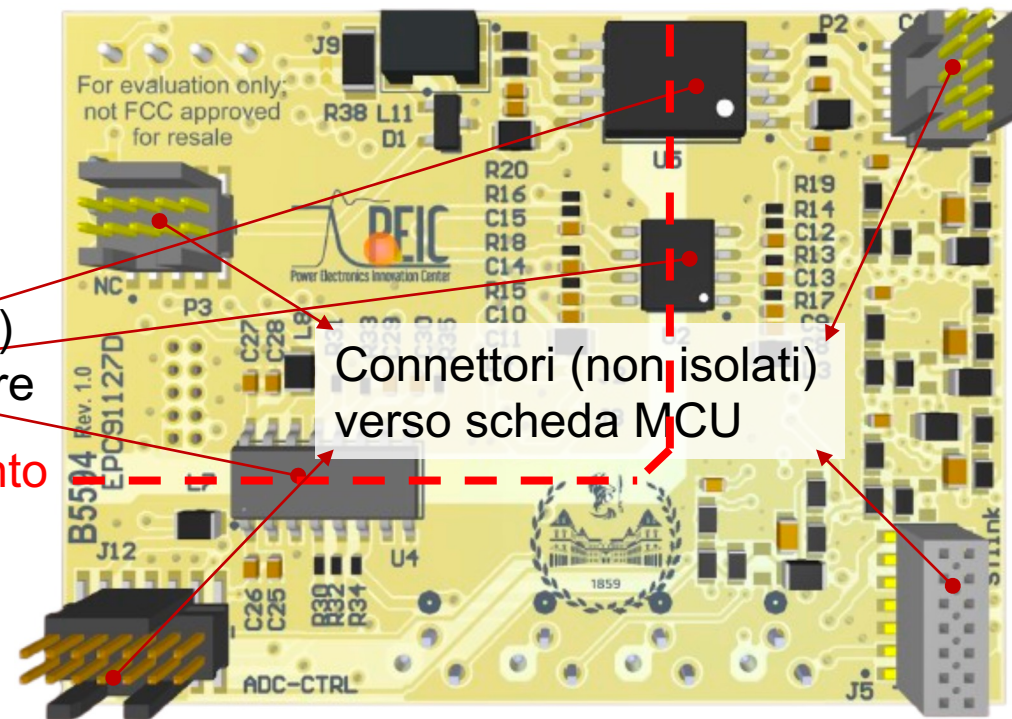
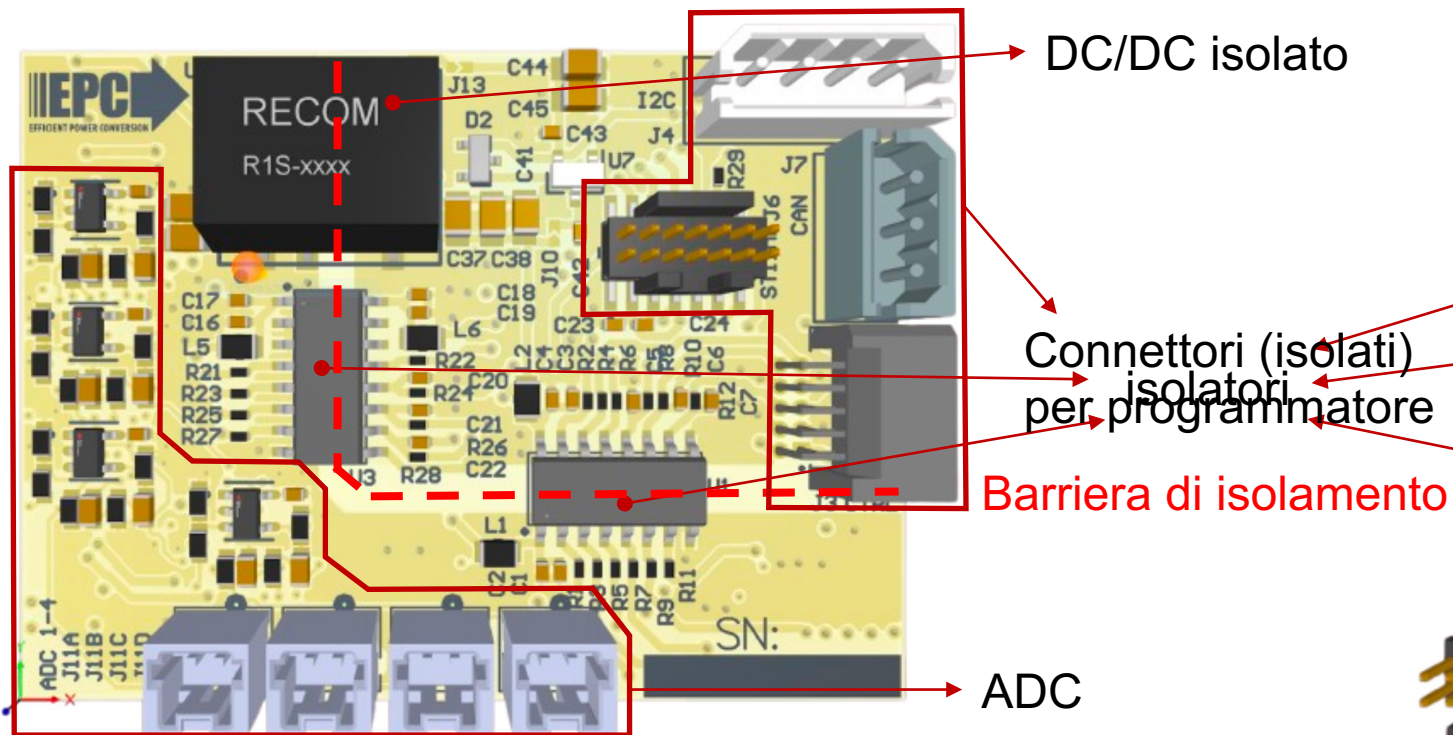
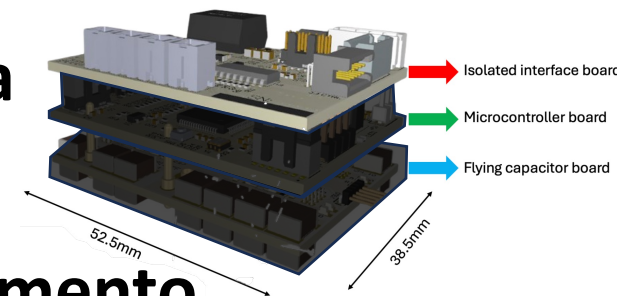
Scheda Microcontrollore

- Ospita i componenti necessari per il **funzionamento base**
- PCB a **6 strati** per **integrità del segnale** e **facilità di routing**



Scheda di Interfaccia Isolata

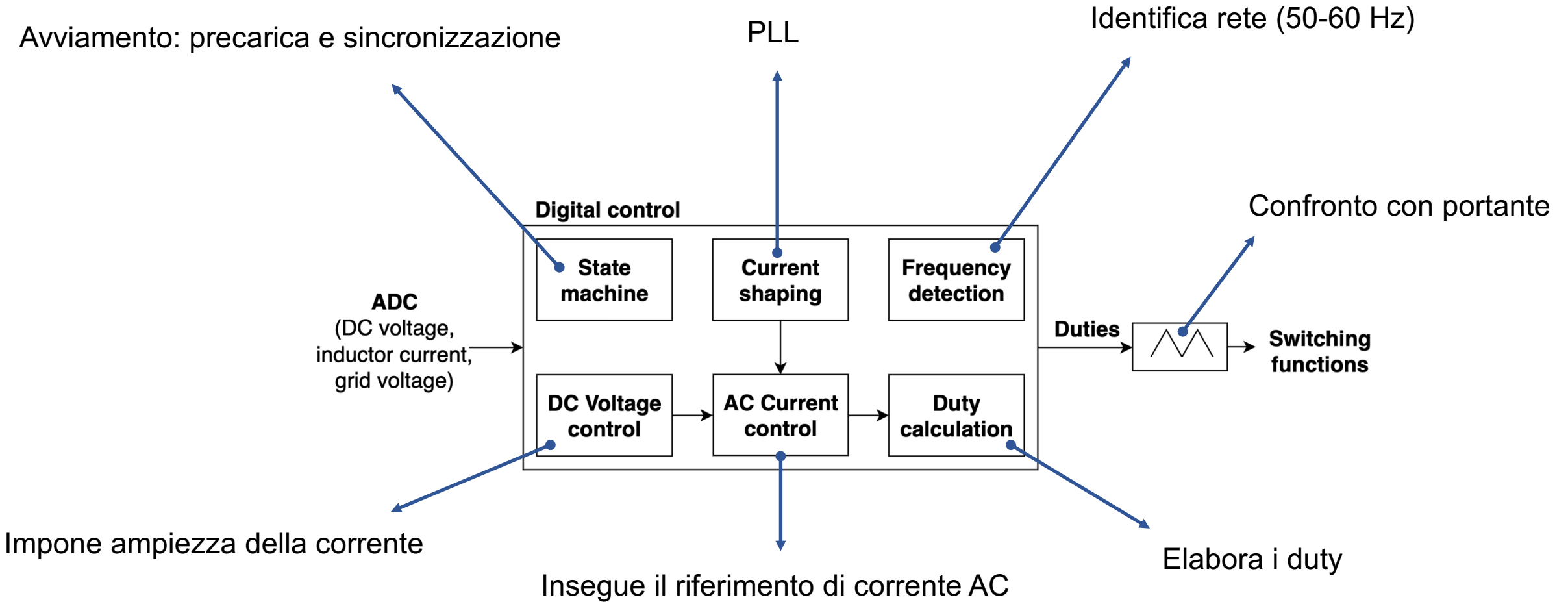
- Ospita i componenti necessari per l'isolamento e ADC extra
- PCB a 6 strati per integrità del segnale e facilità di routing
- Connessione sicura del programmatore durante il funzionamento



Algoritmo di Controllo

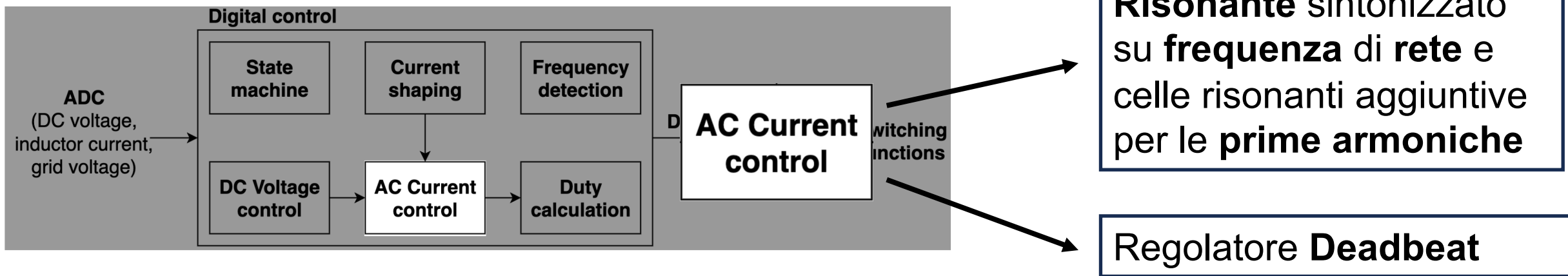
Controllo in **cascata**: anello **esterno** di **tensione DC**, anello **interno** di **corrente AC**

Avviamento: precarica e sincronizzazione



Strategie di Controllo e Scenari di Validazione

Tecniche di controllo:

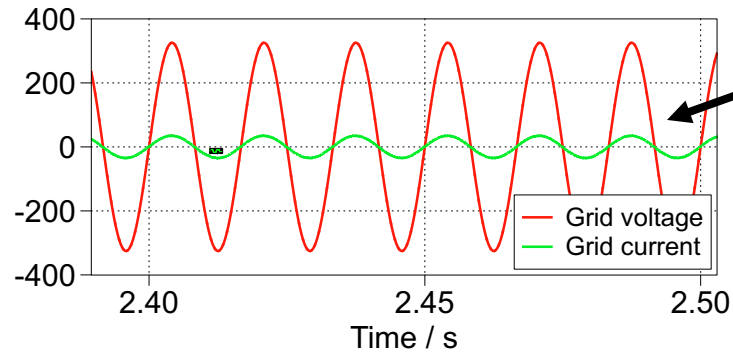


Scenari di validazione:

1. Funzionamento **nominale**: rete ideale con $SCR = 100$ e $X/R = 0.1$
2. Funzionamento con **guasto**: buco di tensione (0.8 p.u. di tensione residua)

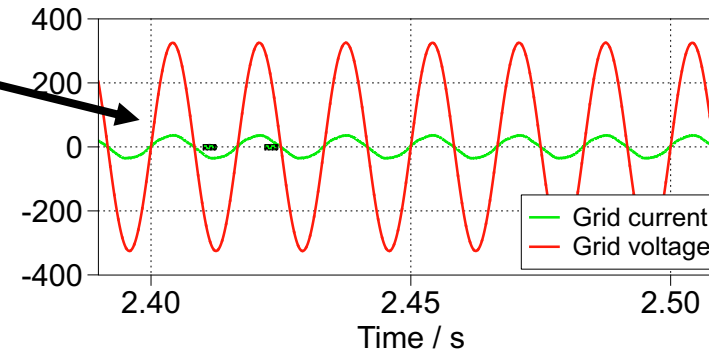
Risultati - Funzionamento a Regime

- PI-Risonante



- Deadbeat

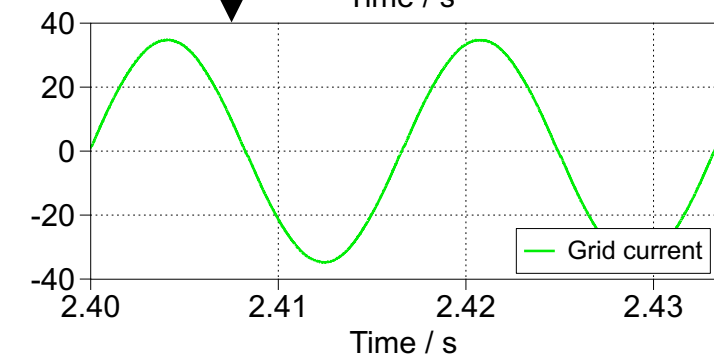
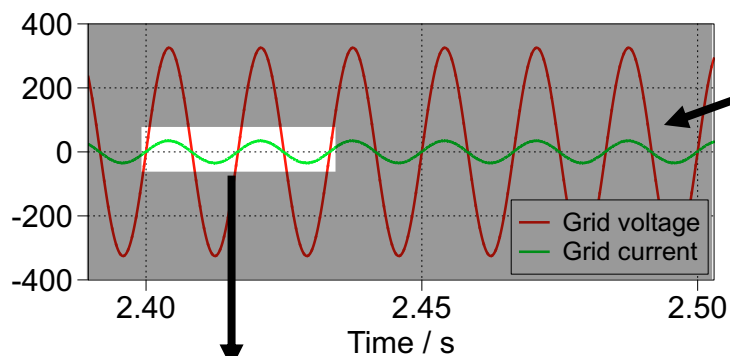
Corrente e tensione in fase



Frequenza di campionamento target = **28kHz**

Risultati - Funzionamento a Regime

- PI-Risonante ✓

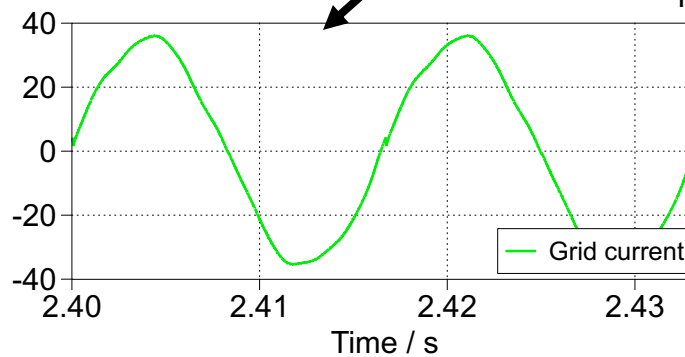
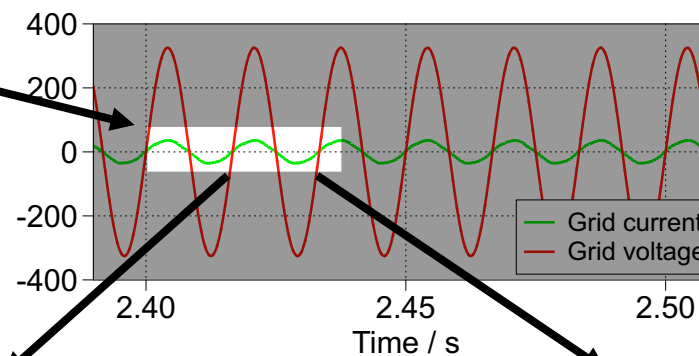


THD = 0.3%

$f_{\text{sampling}} = 28 \text{ kHz}$

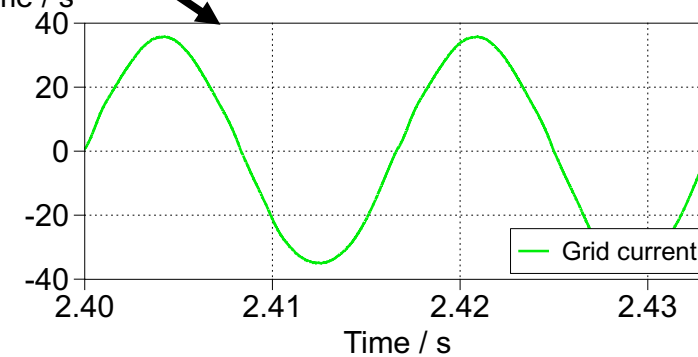
- Deadbeat ✗

Corrente e tensione in fase



THD = 4.11%

$f_{\text{sampling}} = 28 \text{ kHz}$



THD = 1.8%

$f_{\text{sampling}} = 140 \text{ kHz}$

Risultati - Risposta Dinamica

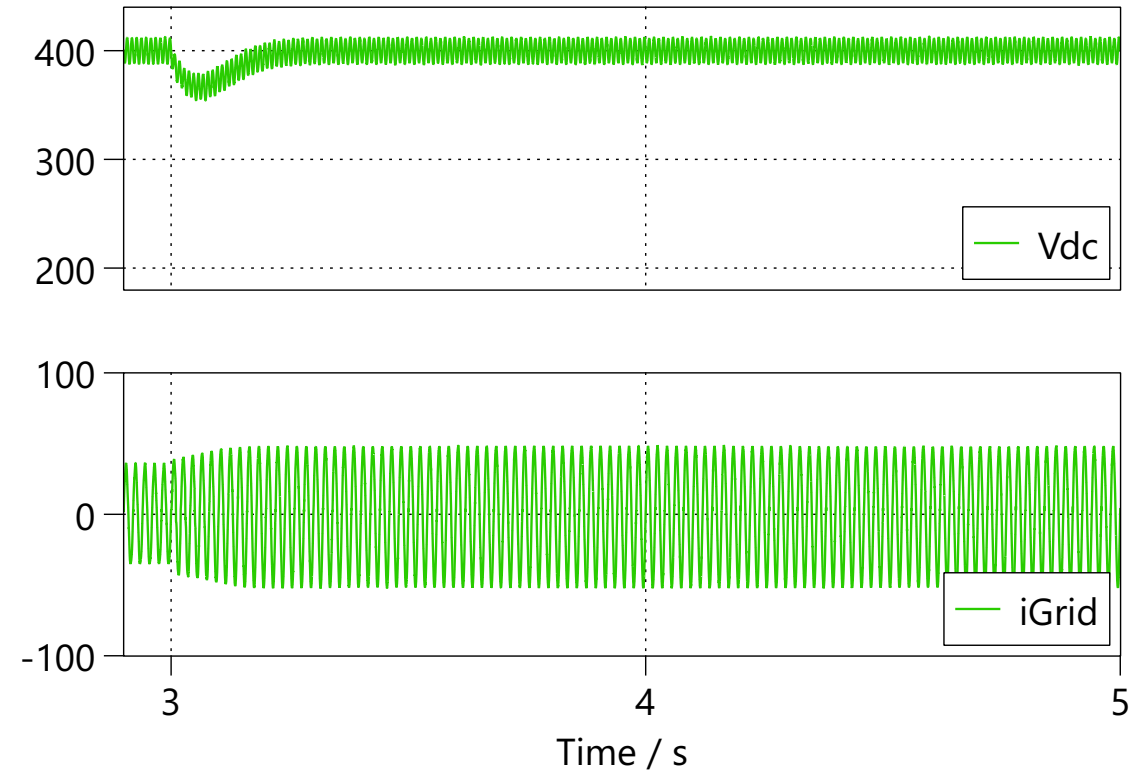
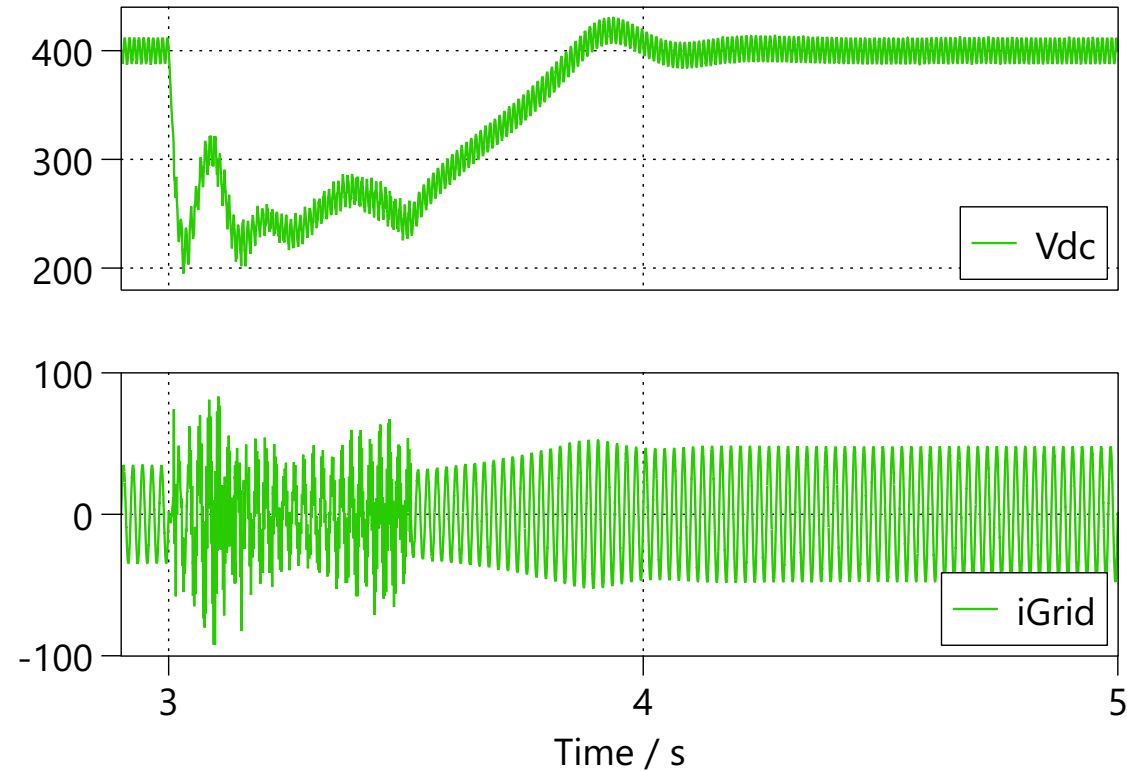
• PI-Risonante



• Deadbeat



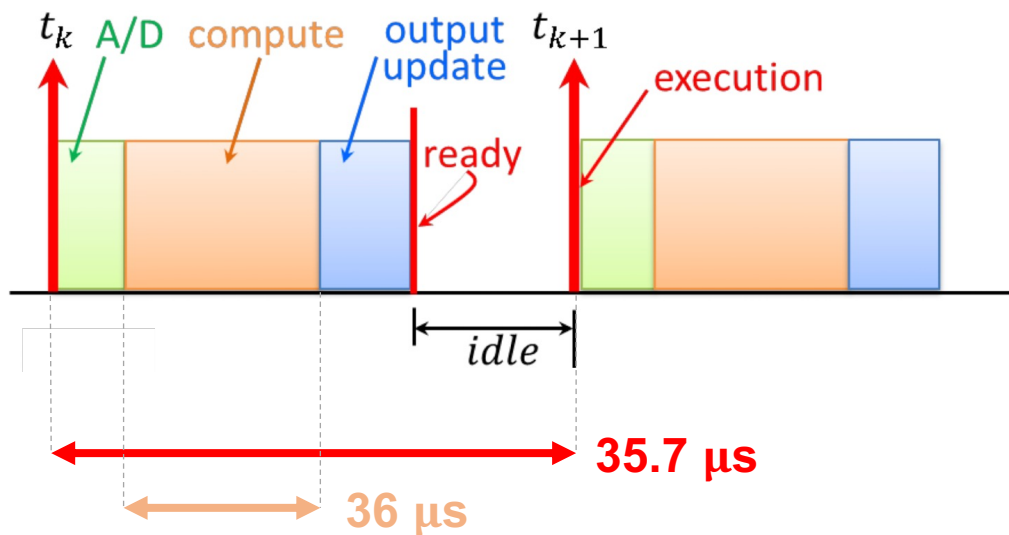
Buco di tensione (0.8 p.u. residuo) a carico nominale (3s)



Costo Computazionale

Campionamento: 28 kHz \Leftrightarrow 35.7 μ s

Controllo tradotto da PLECS su STM32G4: tempo di **esecuzione** 36 μ s



Possibile soluzione: **hand coding** (non affrontato)

Fonte: G. Pellegrino, F. Stella, P. Pescetto, Lab. of Power Converters, PoliTo, 2025.

Conclusioni

- **PI-Risonante: ottimo a regime** ma non gestisce bene i guasti
- **Deadbeat:** mostra THD alto a regime ma **gestisce bene i guasti**
- **Frequenza target non in linea** con il **costo computazionale** (necessario **hand coding**)

Contributo personale

- **Riprogettazione hardware** del **layout** delle due schede
- **Sviluppo e validazione** dell'algoritmo di **controllo**
- **Valutazione tempo di esecuzione** su microcontrollore **target**

Grazie per l'attenzione!

